

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-244522

(43)Date of publication of application : 02.09.1994

(51)Int.Cl.

H05K 1/14

H05K 1/18

(21)Application number : 05-026587

(71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 16.02.1993

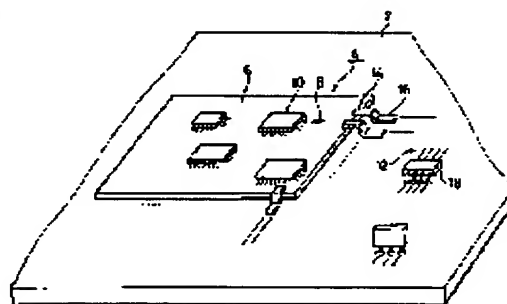
(72)Inventor : ONDA MAMORU
KUMAKURA TOYOHICO
TAKAGI MASA HARU
YONEMOTO TAKAHARU
YAMAGUCHI KENJI

(54) PACKAGE MODULE BOARD

(57)Abstract:

PURPOSE: To provide a package module board wherein it can achieve the mass production and the small size of a PCB and its assembly cost can be lowered.

CONSTITUTION: A wiring board 6 on which only a multiple pin and narrow-pitch LSI package 10 is mounted is manufactured separately from a PCB 2, the outer circumference of the wiring board 6 is connected to, e.g. a lead frame, the lead frame is used as a connecting terminal 16, and a package module board 4 on which the LSI package 10 is mounted is manufactured. Then, the package module board 4 is mounted on the PCB 2.



LEGAL STATUS

[Date of request for examination] 09.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2692522

[Date of registration] 05.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-244522

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/14		G 7047-4E		
1/18		S 7128-4E		

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平5-26587

(22)出願日 平成5年(1993)2月16日

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72)発明者 御 田 護

茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内

(72)発明者 熊 倉 豊 彦

茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内

(72)発明者 高 城 正 治

茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内

(74)代理人 弁理士 渡辺 望稔

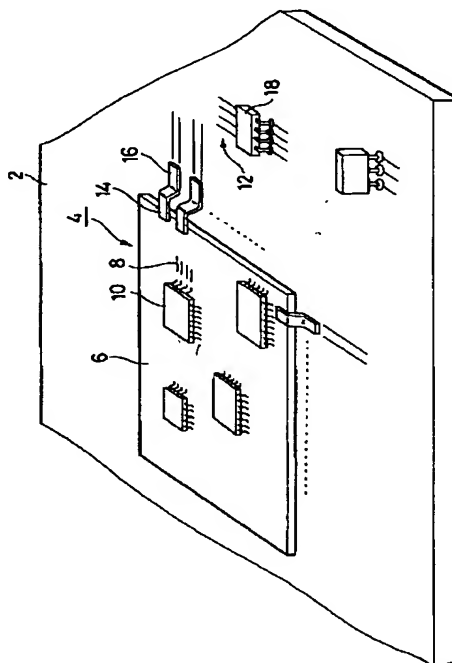
最終頁に続く

(54)【発明の名称】 パッケージモジュール基板

(57)【要約】

【目的】PCBの量産化及び小型化を可能とし、しかもアセンブリコストを低下させることが可能なパッケージモジュール基板の提供。

【構成】多ピン・狭ピッチのLSIパッケージ10のみを搭載する配線基板6をPCB2とは別に作製しておき、その配線基板6の外周囲を例えばリードフレームに連結してこのリードフレームを接続端子16として使用し、前記LSIパッケージ10が搭載されたパッケージモジュール基板4を作製する。そして、このパッケージモジュール基板4をPCB2に搭載する。



【特許請求の範囲】

【請求項1】多ピン・狭ピッチの半導体パッケージを搭載可能な配線基板と、
前記配線基板に接合されたプリント基板接続用の接続端子とを備えたことを特徴とするパッケージモジュール基板。

【請求項2】前記配線基板と前記接続端子との接合は、半田ペーストよりも高い融点を有するか、あるいは半田ペーストのリフロー温度よりも高い耐熱性を有する接合部材で行われる請求項1に記載のパッケージモジュール基板。

【請求項3】請求項1または2に記載のパッケージモジュール基板であって、さらに前記配線基板に放熱用板材を設けたことを特徴とするパッケージモジュール基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多ピン・狭ピッチのLSIパッケージを搭載したパッケージモジュール基板に関する。

【0002】

【従来の技術】近年、LSIパッケージは小型化、多ピン化、狭ピッチ化が進み、このLSIパッケージを実装するプリント基板（以下PCBという）の配線も、微細化が要求されるようになってきている。これに対応してPCBの製造技術は年々、高度なものとなり、印刷法からホトレジスト法等に移行してきている。また、この種のPCBはLSIパッケージの能動素子とダイオードや抵抗体の受動素子とが混成されており、通常、受動素子搭載部は粗い配線パターンで済むが、LSIパッケージ搭載部は前述したように、微細パターンが要求される。

【0003】

【発明が解決しようとする課題】しかしながら、従来、PCBは、粗い配線パターンで済む受動素子搭載部と微細パターンを要するLSIパッケージ搭載部とが混在するため、PCB製造上及びこのPCBに部品を搭載するアセンブリ工程上において次のような問題点があった。

【0004】（1）PCBの製造において、PCBの一部のみに形成される多ピンLSIパッケージ（能動素子）搭載部のためにPCBの全体を技術的に高度なホトレジスト法により製造する必要がある。また、微細パターンである一部の多ピンLSIパッケージ搭載部のみの欠陥がPCB全体の不良となり、歩留りが低い。これらの点から従来では、PCBの量産化が困難であった。

【0005】（2）前記アセンブリ工程では、例えば、部品を搭載するPCBの表面銅パターンに対して厚さ50～100μmの半田ペーストを印刷し、その上に部品を自動マウントしてリフロー炉に入れる。その結果、半田ペーストが溶融して冷却ゾーンで固まり、部品が固定される（半田ペースト印刷法）。

【0006】このようなアセンブリ工程においては、前記多ピン・狭ピッチのLSIパッケージ搭載部における半田ペーストの印刷は、技術的に難しく、印刷不良が生ずると、修正や再印刷等を行って補償しているが、余分な労力の消費と歩留りの低下を招くことになる。この点がPCBの小型化を阻害し、しかもアセンブリコストの上昇の原因ともなっていた。

【0007】例えば、LSIパッケージにおいて、300ピンクラスのアウトリードのパターンピッチは、0.3mmピッチであり、従来の0.5mm以上のパターンピッチと同一条件で印刷した場合に、半田ペーストの塗布量が多過ぎて、パターン間がショートする恐れがある。

【0008】ショートが発生した場合はショート部分の補修等が必要になる。補修が不可能のときには部品交換等を行うが、これにはかなりの熟練が必要であるばかりか、取り外した部品を他の用途に再利用することもほとんど不可能である。また、取り外した部品を再度搭載する場合は、再び半田ペーストを印刷することが必要となるが、これは他の部品が既に搭載されていることから不可能であり、従って半田ごと等で部分的に加熱して搭載をやり直すようにしている。これもかなりの熟練作業となっており、いずれの場合でも、品質や信頼性上に問題がある。

【0009】前記ショートを防止するためには、アウトリードが0.3mmピッチの場合、30～50μm程度の薄膜の半田ペーストの印刷を行う必要があるが、この場合、0.3mmピッチのパターンと0.5mmピッチ以上のパターンとが混在することになり、このような区域を分けた半田ペーストの印刷は非常に困難である。即ち、印刷用のマスクはメタルマスク（ステンレス製あるいはニッケル製）であり、半田ペーストの印刷の厚さはメタルマスクの厚さで決まるが、この場合は部分的に薄くしたようなマスクを作製しなければならない。この部分的に薄い肉厚のマスクを作製することは、エッチング等で部分的に板厚を薄くするため、非常に難しい。また、仮にこのようなマスクを作製できたとしても、板厚の異なる平面でないマスクを用いてどの様に印刷するかは大きな問題である。

【0010】このため、現在、このような粗ピッチと微細ピッチの混合部品を混載する方法として、微細ピッチ部分に厚さ10μm程度の半田メッキを施しておき、その他の部分のみ半田ペーストを印刷した後、粗ピッチの部品をまず搭載してリフローを行い、その後、微細ピッチ部品を個別実装方式、つまり、1個毎にヒートツール方式で実装する方法が提案されている。しかし、この方法においても、PCBの生産時において、粗ピッチ部と微細ピッチ部とが混在する上での前記問題点、つまり印刷不良が生じて歩留りが悪化する等の点は依然解決できないままである。

【0011】以上のように、粗い配線パターンで済む受動素子と微細パターンを要する多ピン・狭ピッチLSIパッケージとを同一基板状に搭載することは、上記したような多くの問題があり、今後、益々LSIパッケージの小型化、多ピン化および狭ピッチ化が進むなかになって、技術的に大きな課題となっていた。

【0012】本発明は、上記問題点に鑑みて勘案されたものであって、その目的は、微細ピッチパッケージのみを別実装した配線基板（モジュール基板）を作製した後、この配線基板を通常部品と一緒に一括リフローで実装することを可能とすることにより、PCBの量産化及び小型化を可能とし、しかもアセンブリコストを低下させることが可能なパッケージモジュール基板を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、本発明は、多ピン・狭ピッチの半導体パッケージを搭載可能な配線基板と、前記配線基板に接合されプリント基板接続用の接続端子とを備えたことを特徴とするパッケージモジュール基板を提供するものである。

【0014】好ましくは、前記配線基板と前記接続端子との接合は、半田ペーストよりも高い融点を有するか、あるいは半田ペーストのリフロー温度よりも高い耐熱性を有する接合部材で行うのがよい。

【0015】また、上記パッケージモジュール基板において、さらに前記配線基板に放熱用板材を設けるようにしてもよい。

【0016】

【作用】本発明のパッケージモジュール基板では、以上のような構成により多ピン・狭ピッチの半導体パッケージのみを搭載する配線基板をPCBとは別に作製しておき、その配線基板の外周囲を、例えばリードフレームに連結してこのリードフレームを接続端子として使用し、前記半導体パッケージが搭載されたパッケージモジュール基板を作製する。その後、前記接続端子とPCBを接続すれば、PCBの製造が、従来一般的に行われている簡易な印刷法等で行うことが可能となり、さらに歩留りが向上する。

【0017】前記微細ピッチパッケージを別実装した配線基板と前記リードフレームとの接合は、半田ペーストの融点よりも高い金属ろう材、または半田ペーストのリフロー温度（230℃）よりも高い耐熱性を持つ導電性接着剤で行える。例えば、この接合は、Au-Sn共晶接合法や異方性導電膜等で行うことができる。また、例えばAu-Sn共晶接合法により多ピン・狭ピッチの半導体パッケージを配線基板に接合すれば接合歩留りが飛躍的に向上する。

【0018】さらに、多ピン・狭ピッチのLSIパッケージの搭載が可能となるので、小型LSIパッケージの搭載モジュールを有するPCBとなり、PCBが著しく

小型化される。また、配線基板に放熱用板材を設けたので、LSIパッケージで生ずる熱は的確に放熱される。

【0019】従来のモジュールは、半導体チップをベアの状態でモジュール構成用配線基板の上に搭載して、3～4ケのLSIを搭載後、セラミック封止したパッケージが知られている。これに対し、本発明のモジュールは、パッケージされたLSIを搭載するパッケージモジュール基板である点で異なっている。

【0020】

【実施態様】本発明に係るパッケージモジュール基板を添付の図面に示す好適実施例に基づいて詳細に説明する。

【0021】図1は本発明のパッケージモジュール基板の一実施例の概略外観を示す斜視図であり、本発明のパッケージモジュール基板をPCBに搭載した場合の状態を示している。なお、このパッケージモジュール基板は、パッケージングモールドを施したLSIを搭載するモジュール基板であり、既存のベアチップを搭載するマルチチップモジュールとは異なるものである。

【0022】図1において、所定の配線パターンが形成されたPCB2上には、パッケージモジュール基板4が搭載されている。このパッケージモジュール基板4の配線基板6に形成された配線パターン8は、例えば0.3mmピッチ以下の狭ピッチのアウターリードを有する多ピンLSIパッケージ10を搭載するために非常に微細である。これに対してPCB2の配線パターン12は、例えば1.25mmピッチ程度の粗ピッチパッケージ18等の部品を搭載したり、あるいは抵抗器やコンデンサ、ダイオード、トランジスタ等を接続したりするため、粗い引回しとなっている。

【0023】一方、配線基板6は、接合部14を介して接続端子16に接合され、その接続端子16がPCB2の配線パターン12に接続されている。

【0024】パッケージモジュール基板4のPCB2への搭載方法は通常の半田ペースト印刷法が応用できる。狭ピッチ多ピンパッケージ10のパッケージモジュール基板4への搭載方法は、半田（例えば半田ペーストの半田組成Sn60:Pb40）の融点よりも高い必要があるため、Au-Sn共晶接合で接続する。この方法はパッケージ10のアウターリードに例えば1～10μmのSnめっきを施しておき、配線基板6のパターン8の表面にはNi下地（例えば厚さ1～2μmの）金めっき（例えば、厚さ0.5～1.0μm）を施して、ヒートツール法によりAuとSnを融かし、共晶合金として冷却し接合する方法である。この方法は半田ペーストと異なりめっき層が薄いために接続時に短絡する心配がない。また接続端子16と配線基板6との接合もAu-Sn共晶接合でおこなう方法が適用できる。この場合には接続端子16側に、例えば7～10μmの錫めっきを施す。または、導電性の接着剤や異方性導電性膜等も応用

できるが、PCB2へ搭載する時のリフロー温度230℃で例えば5分程度の処理時間に耐えなければならない。

【0025】

【実施例】以下に、本発明のパッケージモジュール基板を実施例につき具体的に説明する。

【0026】（実施例1）図2は、前記配線基板6の外周囲をリードフレームに連結した状態を示す図である。同図において、リードフレームは、外枠部20と、その外枠部20に0.65mmピッチで400本連結された接続端子部16Aとで構成されている。各接続端子部16Aは、厚さ0.15mmの銅合金から成り、接合部14を介して配線基板6の配線パターン8に接続されている。配線基板6は、例えば125μmの厚さであり、60×80mm角のポリイミドに厚さ18μmの銅箔の配線パターン（エッチングパターン）8が形成されている他、多ピンLSIパッケージ10を搭載するためのパッケージ搭載部10Aを有する。パッケージ搭載部10Aのピッチは100μmであり、また配線パターン8の引回し部のピッチは最小70μmであり、微細パターンとなっている。そして、この配線パターン10Aの表面上に厚さ1.0μmのニッケル（Ni）メッキと厚さ1.0μmの金（Au）メッキとが順次施されている。なお、パッケージ搭載部10A内には配線パターン8が形成されていない。

【0027】配線パターン8と接続端子部16Aの接合方法は、Au-Sn共晶接合により行った。即ち、接続端子部16Aの接合側の面のみに7~10μmの錫メッキを施して、その接続端子部16Aの先端位置を配線パターン8の接合部14のバットと位置合わせした。そして、加熱ツールを上部より当接して（接続端子部16Aの錫メッキが施されていない面側から）、錫メッキを溶融させた。この錫メッキの溶融に伴って、融けた錫は配線基板6の金メッキ層と瞬時に反応し、Au-Snの共晶組成（つまり、90%錫Sn相当の組成の第1共晶点232℃）の接合層を形成させた。加熱ツールが離れると、接合部14は冷却されて接合が完了した。

【0028】配線パターン8と接続端子部16Aとの接合が完了した後、金型を使用してリードフレームの外枠部20を切除して配線基板6の部分を取り出し、さらに別の金型によって接続端子部16Aに対して曲げ加工を行えば、図3に示すように前記接続端子16が接合された配線基板6が作製された。

【0029】その後、パッケージ搭載部10Aに多ピンLSIパッケージ10を搭載して本発明のパッケージモジュール基板4を完成した。その際、パッケージ搭載部10Aのピッチは、前述のように最も狭ピッチ部で100μmであり、このパッケージ搭載部には100μmのアウトリードピッチをもったTABパッケージの搭載が可能であった。また、他のパッケージ搭載部のピッチ

は300μmであり、この部分には300μmピッチのアウトリードを持つQFPが搭載できた。

【0030】多ピンLSIパッケージ10のパッケージ搭載部10Aへの搭載方法は、Au-Sn共晶結合で行った。これは、後述するように半田ペースト印刷法によりパッケージモジュール基板4をPCB2に実装するに際し、これらを一括してリフローするため、多ピンLSIパッケージ10と配線基板6との接続部の融点は、半田（半田ペーストの半田組成は例えばSn:60%, Pb:40%とする）の融点よりも高くする必要があるためである。

【0031】このAu-Sn共晶結合は、多ピンLSIパッケージ10のアウトリードにこの7~10μmの錫メッキを施しておき、配線基板6の表面にはニッケル（Ni）下地の金メッキを施してヒートツール法により金（Au）と錫（Sn）を融解し、共晶合金として冷却して接合するものである。この方法によれば、半田ペーストと異なりメッキ層が薄いため、接続時に短絡する恐れがなり、しかも0.1mmピッチまでの多ピン・狭ピッチLSIパッケージの搭載が可能となる。

【0032】こうして、完成したパッケージモジュール基板4は、4辺合計で400本の接続端子16を持つものとなり、その各接続端子16のピッチは0.65mm程度であるので、PCB2に対しての表面実装は、比較的容易である前述の半田ペースト印刷法により行うことが可能となった。即ち、パッケージモジュール基板4を、通常の粗ピッチLSIパッケージ18が搭載されているPCB2と一緒にリフロー（例えば230℃を5分間）すれば、図1に示すようにPCB2上にパッケージモジュール基板4を実装することができる。

【0033】（実施例2）実施例2においては、上記実施例1の配線基板6の裏面に厚さ0.15mmの銅箔を貼り合わせて放熱性を向上させた。搭載されたLSIパッケージ10から発する熱は、ポトイミド絶縁層を通して裏面の銅箔に伝播し、面方向に拡がる。この銅箔は、いわゆるヒートスプレッダーの役目を果たすことになる。ポトイミド絶縁層の厚さは、伝熱を考慮して好ましくは50μm程度に設定した。

【0034】（実施例3）上記実施例では、配線基板6と接続端子部16Aとの接合をAu-Sn共晶接合で行ったが、本実施例3では、その代りに導電性の接着剤や異方性導電膜を使用した。この場合、PCB2へ搭載する際のリフロー温度（例えば230℃×5分）に耐えうる耐熱性をもったものを使用する必要がある。ここでは、接合前に配線基板6の接合部14のバットにテープ状の異方性導電膜を貼り合わせておき、接続端子部14と位置合わせを行い、加熱ツールにより加圧接合した。

【0035】なお、本発明は図示の実施例に限定されず種々の変形が可能である。例えば、配線基板6の配線パターン8について、上記実施例では1層配線で構成した

7

が、パターンが微細で複雑な場合は2層あるいは3層配線とすることも可能である。

【0036】

【発明の効果】以上、詳細に説明したように本発明によれば、多ピン・狭ピッチの半導体パッケージを搭載可能な配線基板と、前記配線基板に接合されプリント基板接続用の接続端子とを備えたので、次のような効果がある。

【0037】(1) PCBの製造が、従来一般的に行われている簡易な印刷法等で行うことが可能となり、さらに歩留りが向上するため、PCBの量産化が可能となる。

【0038】(2) 例えばAu-Sn接合法により多ピン・狭ピッチの半導体パッケージを配線基板に搭載すれば接合歩留りが飛躍的に向上するので、アセンブリコストにおいて著しい改善が得られる。

【0039】(3) PCBの小型化が図れる。即ち、従来では、0.5mmピッチのアウトリードを有する半導体パッケージの搭載が限度であったが、本発明では、0.1mmピッチのアウトリードを有する多ピン・狭

8

*ピッチのLSIパッケージの搭載が可能となるので、小型LSIパッケージの搭載モジュールを有するPCBとなり、PCBを著しく小型化できる。

【0040】また、配線基板に放熱用板材を設けたので、LSIパッケージで生ずる熱を的確に放熱できる。

【図面の簡単な説明】

【図1】本発明に係るパッケージモジュール基板の一実施例の概略外観を示す斜視図である。

【図2】本発明のパッケージモジュール基板の配線基板の外周囲をリードフレームに連結した状態の一例を示す図である。

【図3】本発明のパッケージモジュール基板のリードフレームに対して切断曲げ加工を施した後の配線基板の断面図である。

【符号の説明】

2 PCB

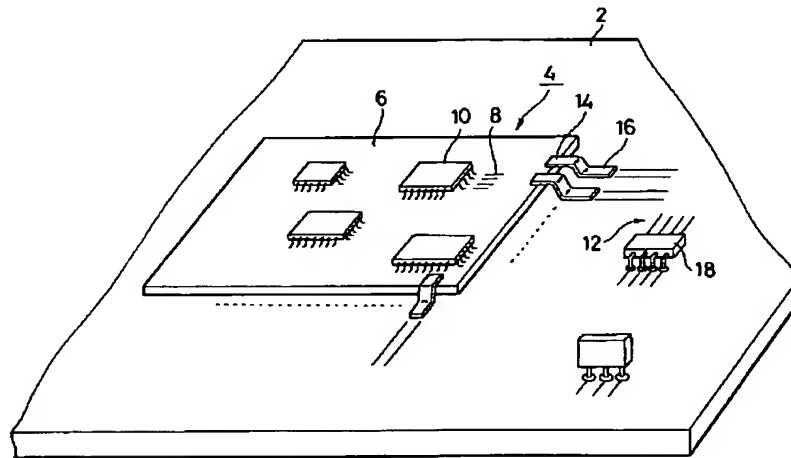
4 パッケージモジュール基板

6 配線基板

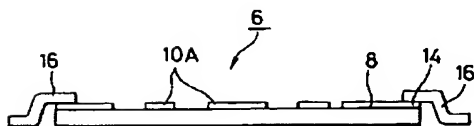
16 接続端子

10 多ピン・狭ピッチLSIパッケージ

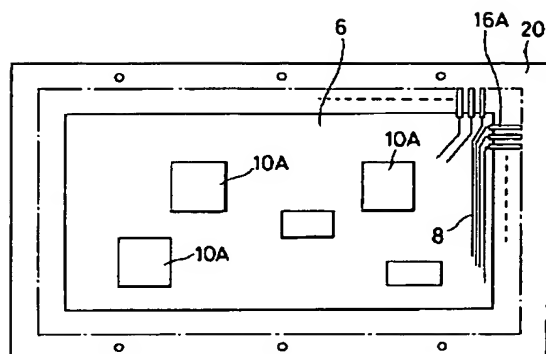
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 米 本 隆 治
 茨城県土浦市木田余町3550番地 日立電線
 株式会社システムマテリアル研究所内

(72)発明者 山 口 健 司
 茨城県土浦市木田余町3550番地 日立電線
 株式会社システムマテリアル研究所内